

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-223331
 (43)Date of publication of application : 17.08.2001

(51)Int.CI. H01L 27/04
 H01L 21/822
 H01L 21/3065

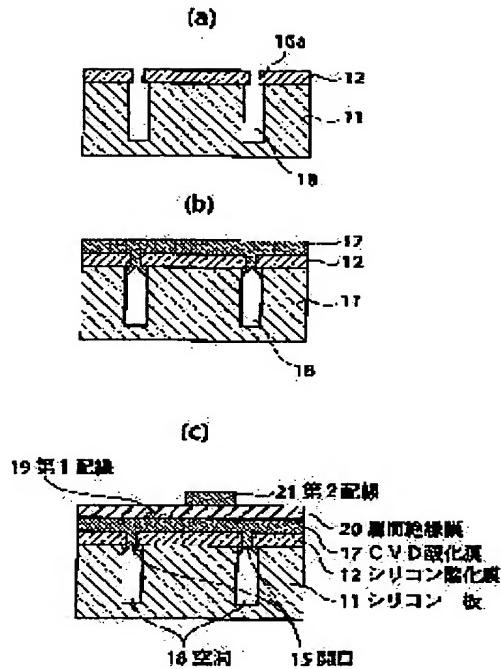
(21)Application number : 2000-028877 (71)Applicant : SONY CORP
 (22)Date of filing : 07.02.2000 (72)Inventor : ONUMA NORIHIRO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device having a high mechanical strength at a low part of wirings without bringing about a problem in reliability and a method for manufacturing the same.

SOLUTION: An oxide film 12 is formed on a silicon substrate 11. A resist film 13 is formed on the film 12, and a pattern 14 for opening a window is formed. The film 12 is etched by anisotropically etching to form an opening 1 at the film 12. The substrate 12 is etched in a depthwise direction of the substrate 11 by anisotropically etching to form grooves 16. The substrate 11 is isotropically etched. Thus, a cavity 18 is formed. A CVD oxide film 17 is formed on an opening 15 by using a vapor phase growing method, a reduced pressure TEOS-CVD method or an ordinary pressure CVD method. An integrated circuit is completed by conducting a step of contact opening, a step of forming first wiring 19, a step of forming an interlayer insulating film 20, and a step of forming a second wiring 21 (inductor).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-223331
(P2001-223331A)

(43)公開日 平成13年8月17日(2001.8.17)

(51)Int.Cl.
H 01 L 27/04
21/822
21/3065

識別記号

F I
H 01 L 27/04
21/302

テーコード(参考)
L 5 F 0 0 4
J 5 F 0 3 8

審査請求 未請求 請求項の数4 OL (全5頁)

(21)出願番号 特願2000-28877(P2000-28877)

(22)出願日 平成12年2月7日(2000.2.7)

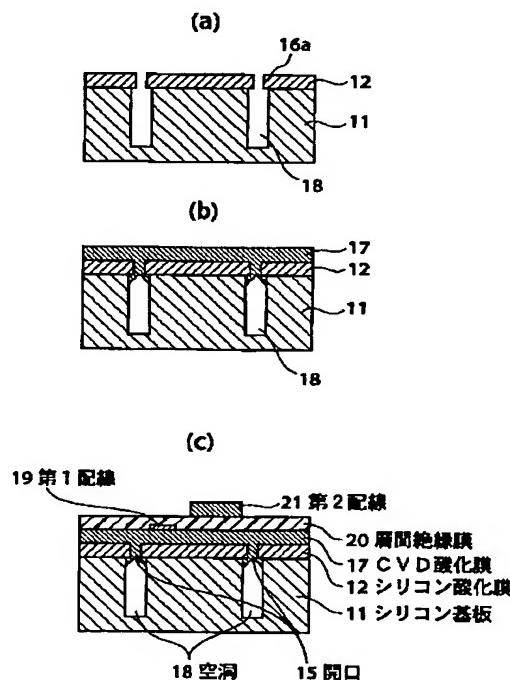
(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 大沼範洋
東京都品川区北品川6丁目7番35号ソニー
株式会社内
Fターム(参考) 5F004 AA16 DB01 DB03 EA29 EB08
5F038 AZ04 BH18 DF02 EZ04 EZ14
EZ15 EZ20

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 信頼性上の問題を引き起こす可ことがなく、しかも配線下部の機械的強度が高い半導体装置及びその製造方法を提供すること。

【解決手段】 シリコン基板11上に酸化膜12を形成する。酸化膜12上にレジスト膜13を形成し、窓開け用のパターン14を形成する。酸化膜12を異方性エッチングによりエッチングして酸化膜12に開口15を形成する。シリコン基板11を異方性エッチングによりシリコン基板11の深さ方向にエッチングを行って溝16を形成する。シリコン基板11に対して等方性のエッチングを行う。これにより、空洞18が形成される。気相成長法である減圧TEOS CVD法、常圧CVD法を用いて開口15上にCVD酸化膜17を形成する。コンタクト開口工程、第1配線19の形成工程、層間絶縁膜20の形成工程、及び第2配線21(インダクタ)の形成工程を経て集積回路として完成する。



ン基板でのエネルギーを有効に低減する（Q値を向上させる）ことができる。

【0005】図5及び図6に、上述した半導体装置の構造及びレイアウトを示す。すなわち、シリコン基板100上にMOS型トランジスタ101及び層間絶縁膜104を介して設けられた第2配線102と第1配線103とが積層された構造を有しており、MOS型トランジスタと配線構造とは開口106により分離されている。また、開口106と連通するようにシリコン基板100であってMOS型トランジスタと配線構造の下部に空洞105が設けられている。

【0006】また、この構造においては、特開平9-162285号公報に記載されているように、インダクタ下の機械的な強度を保持するためにレイアウトや構造による改善が成されている。

【0007】図7及び図8に、他の半導体装置の構造及びレイアウトを示す。この構造においては、シリコン基板100に開口106と連通して空洞105が設けられており、その上方に、層間絶縁膜104を介して設けられた第2配線102と第1配線103とが積層された構造を有する。

【0008】この構造においては、空洞105を配線の側に千鳥状に配置することにより、橋梁を規則的に配置することが可能となり、機械的な強度を飛躍的に向上させることができる。

【0009】

【発明が解決しようとする課題】しかしながら、上記2つの構造は、いずれも空洞105をインダクタとして機能する配線を加工した後に作成されている。このような構造を採用すると、後工程及びパッケージングの際に空洞部分が雰囲気に解放された状態となり、周囲に影響を及ぼしたり、汚染等を引き起こし、信頼性上の問題を引き起こす可能性が高い。また、配線下部の機械的強度の点からも空洞部が解放されていることは問題となる。

【0010】本発明はかかる点に鑑みてなされたものであり、信頼性上の問題を引き起こす可ことがなく、しかも配線下部の機械的強度が高い半導体装置及びその製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】上記課題を解決するためには、本発明は以下の手段を講じた。本発明は、半導体基板の主面から前記半導体基板の深さ方向に溝を形成する工程と、前記溝の開口部に気相成長法により膜を堆積することにより前記開口部を閉口して前記半導体基板内に空洞を形成する工程と、前記空洞上に配線層を形成する工程と、を具備することを特徴とする半導体装置の製造方法を提供する。

【0012】この方法によれば、シリコン半導体において高機能な誘導素子を導入しようとする場合に必要となるシリコン基板の空洞を形成するとき、シリコンの異方

【特許請求の範囲】

【請求項1】 半導体基板の主面から前記半導体基板の深さ方向に溝を形成する工程と、前記溝の開口部に気相成長法により膜を堆積することにより前記開口部を閉口して前記半導体基板内に空洞を形成する工程と、前記空洞上に配線層を形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項2】 前記半導体基板に対して異方性エッチングを行った後に等方性エッチングを行うことにより前記半導体基板の深さ方向に前記溝を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 半導体基板の主面から前記半導体基板の深さ方向に溝を形成し、

前記溝の開口部に気相成長法により膜を堆積することにより前記開口部を閉口して前記半導体基板内に空洞を形成し、

前記空洞上に配線層を形成する、ことにより得られたことを特徴とする半導体装置。

【請求項4】 前記配線層は、スパイラルインダクタを構成していることを特徴とする請求項3記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に係わり、特に半導体基板上に形成された誘導素子に必要なスパイラルインダクタの低損失化に関する。

【0002】

【従来の技術】LSI（大規模集積回路）等のシリコン製半導体デバイスでは、高周波化が進むにつれて、従来は搭載されていなかった誘導素子をLSIの内部に混載する必要性が急速に高まっている。誘導素子を導電性基板であるシリコン製LSIに搭載することは、GaAs等の半絶縁性基板に搭載する場合と異なり、誘導素子とSi基板間に相互誘導現象を生じさせ易く、渦電流によりエネルギーが損失して所望の特性を得にくいという問題点が存在する。

【0003】この問題に対して、シリコン基板上に形成されたインダクタ素子に基板空洞を用いることが知られている。これについては、IEEE Electron Device Letters, vol. 14, no. 5, pp246-248, MAY, 1993に記載されている。シリコン基板では、キャリアが多数存在するために、相互誘導効果により基板中に電荷が誘起される。これに対して、シリコン基板に空洞を形成することにより、この現象の発生を抑制することができる。

【0004】また、シリコン基板に空洞が存在することにより、寄生の容量値（シリコン基板の誘電率は1.1.7であることから容量値としては真空に比べると非常に大きい）を低減させる効果もある。これにより、シリコ

性エッティング、等方性エッティング、CVDを組み合わせることにより、配線層下部の機械的な強度を低下させることなく、周囲の影響及び汚染等に起因した信頼性上の問題を引き起こすことなく、配線・基板間の寄生容量を低減でき、高周波特性の優れた半導体装置を得ることができる。

【0013】本発明の半導体装置の製造方法においては、前記半導体基板に対して異方性エッティングを行った後に等方性エッティングを行うことにより前記半導体基板の深さ方向に前記溝を形成することが好ましい。

【0014】これにより、半導体装置の機械的な強度を保ちつつ、空洞の体積を大きし、空洞間の橋梁を一定の間隔にするために横方向の広がりを等方性エッティングで一定にすることができる。

【0015】本発明は、半導体基板の正面から前記半導体基板の深さ方向に溝を形成し、前記溝の開口部に気相成長法により膜を堆積することにより前記開口部を開口して前記半導体基板内に空洞を形成し、前記空洞上に配線層を形成する、ことにより得られたことを特徴とする半導体装置を提供する。

【0016】この構成によれば、シリコン半導体において高機能な誘導素子を導入しようとする場合に必要となるシリコン基板の空洞を形成するとき、シリコンの異方性エッティング、等方性エッティング、CVDを組み合わせることにより、配線層下部の機械的な強度を低下させることなく、周囲の影響及び汚染等に起因した信頼性上の問題を引き起こすことなく、配線・基板間の寄生容量を低減できる。

【0017】本発明の半導体装置においては、前記配線層は、スパイラルインダクタを構成していることが好ましい。

【0018】

【発明の実施の形態】以下、本発明の実施の形態について、添付図面を参照して詳細に説明する。本発明においては、素子形成後インダクタの形成前にシリコン基板のような半導体基板に空洞を加工し、その後に意図的に空洞を塞いで製造するデバイス構造を採用する。

【0019】まず、図1(a)に示すように、シリコン基板11上に酸化膜12を形成する。なお、この酸化膜12には、図示しない素子が形成されている。次いで、図1(b)に示すように、酸化膜12上にレジスト膜13を形成し、そのレジスト膜13のインダクタ領域に空洞領域の窓開け用のパターン14を形成する。

【0020】次いで、図1(c)に示すように、酸化膜12を異方性エッティングによりエッティングして酸化膜12に開口15を形成する。次いで、図1(d)に示すように、酸化膜12に開口15を形成した後に、シリコン基板11を異方性エッティングによりシリコン基板11の深さ方向にエッティングを行って溝16を形成する。なお、シリコン基板11のエッティングは、例えば5μm程

度の深さとする。

【0021】次いで、図2(a)に示すように、シリコン基板11に対して等方性のエッティングを行う。これにより、シリコン基板11が幅方向にも削られて、酸化膜12の下が底状になるようになる。

【0022】このように、異方性エッティングと等方性エッティングを組み合わせるのは、半導体装置の機械的な強度を保ちつつ、空洞の体積を大きし、空洞間の橋梁を一定の間隔にするために横方向の広がりを等方性エッティングで一定にするためである。なお、等方性エッティングのみでもレイアウトによれば前記目的を達成することができる。なお、底16aの長さは少なくとも1μm以上となるように形成する。これにより、空洞18が形成される。

【0023】底16aは、CVD酸化膜17の空洞18内部に対する成膜を抑制する。これにより、空洞18の側壁に連続してCVD酸化膜17が堆積して空洞18がCVD酸化膜17で覆われて埋まってしまうことを防止でき、誘電率低下の効果を十分に発揮することができる。

【0024】次いで、図2(b)に示すように、空洞18を塞ぐための工程が施される。例えば、気相成長法である減圧TEOS CVD法、常圧CVD法を用いて開口15上にCVD酸化膜17を形成する。CVD酸化膜17は、初期のうちは空洞18内部に成膜されるが、成膜され空洞18の入り口にあたる酸化膜12の開口15部分がCVD酸化膜17の堆積につれて狭くなり、ついには完全に塞がれた状態になる。この状態でさらにCVD酸化膜17の堆積を続けることにより、完全に開口15は塞がれた状態になる。

【0025】ここで注意しなければならないのは、開口15部分の広さは、例えば1辺が0.5μm程度の広さに押さえる必要性があることである。開口15の1辺をこの程度の大きさに揃えることにより、CVD酸化膜17を1μm程度の厚さで堆積することで完全に空洞18を塞ぐことが可能になる。

【0026】次いで、図2(c)に示すように、コントクト開口工程、第1配線19の形成工程、層間絶縁膜20の形成工程、及び第2配線21(インダクタ)の形成工程を経て集積回路として完成する。

【0027】図3に本発明の一実施の形態に係る半導体装置の一例を示す。この場合、空洞18のレイアウト(スパイラル形状)は、例えば0.5×3μm程度であり、3μm間隔で配置されている。このようなレイアウトを取ることにより、空洞18間の橋梁に対して機械的強度を保たせつつ、インダクタ下の容量を効果的に低減することができる。

【0028】図4に本発明の一実施の形態に係る半導体装置の他の例を示す。この場合、空洞18のレイアウトは図3と同様であるが、さらに空洞23を追加してい

る。この空洞23のレイアウトは、例えば $0.5 \times 100 \mu\text{m}$ 程度であり、インダクタの中心部から放射状に配置されている。

【0029】このように、空洞23を放射状に配置することにより、インダクタの相互誘導により渦上に発生する誘起電流の経路を遮断することが可能になる。本構造を採用することにより、より有効に渦電流の発生を防止し、インダクタの高周波特性を向上することが可能となる。

【0030】このように、本実施の形態によれば、シリコン半導体において高機能な誘導素子を導入しようとする場合に必要となるシリコン基板の空洞を形成するとき、シリコンの異方性エッチング、等方性エッチング、CVDを組み合わせることにより、配線層下部の機械的な強度を低下させることなく、周囲の影響及び汚染等に起因した信頼性上の問題を引き起こすことなく、配線・基板間の寄生容量を低減でき、高周波特性の優れた半導体装置が得られる。

【0031】本発明は上記実施の形態に限定されず、種々変更して実施することが可能である。例えば、各膜や配線の材料には限定されず、同種の性質を有する材料を適宜変更して実施することが可能である。

【0032】

【発明の効果】以上説明したように本発明によれば、配線層下部の機械的な強度を低下させることなく、周囲の

影響及び汚染等に起因した信頼性上の問題を引き起こすことなく、配線・基板間の寄生容量を低減でき、高周波特性の優れた半導体装置が得られる。したがって、本発明は、高機能な誘導素子を要する高周波超高集積化半導体の製造に好適であり、極めて産業上の利用価値が高いものである。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係る半導体装置の製造方法の工程前半を示す断面図である。

【図2】本発明の一実施の形態に係る半導体装置の製造方法の工程後半を示す断面図である。

【図3】本発明の一実施の形態に係る半導体装置の一例を示す平面図である。

【図4】本発明の一実施の形態に係る半導体装置の他の例を示す平面図である。

【図5】従来の半導体装置を示す断面図である。

【図6】従来の半導体装置を示す平面図である。

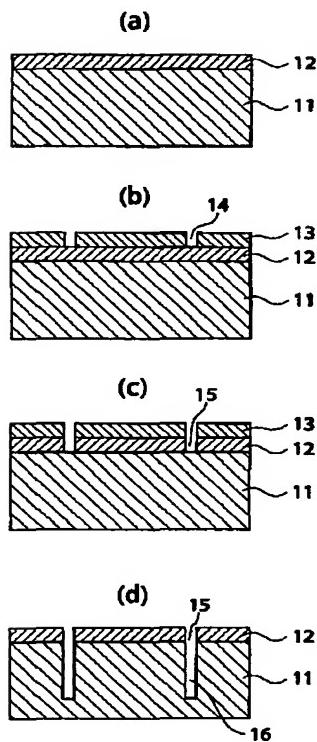
【図7】従来の半導体装置を示す断面図である。

【図8】従来の半導体装置を示す平面図である。

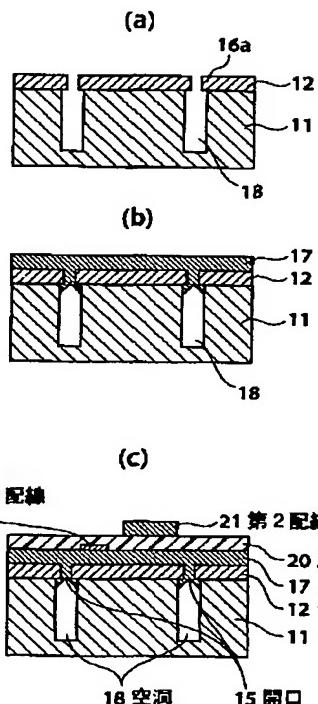
【符号の説明】

11…シリコン基板、12…酸化膜、13…レジスト膜、14…パターン、15…開口、16…溝、16a…底、17…CVD酸化膜、18…空洞、19…第1配線、20…層間絶縁膜、21…第2配線、22…コントラクト。

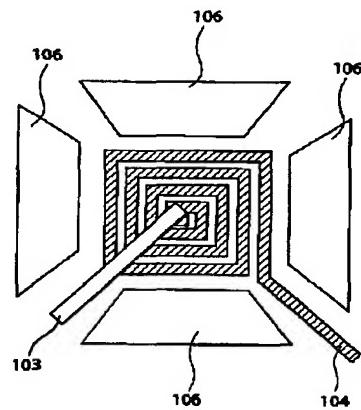
【図1】



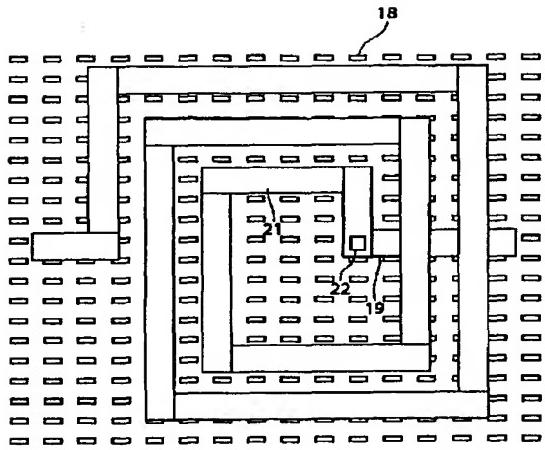
【図2】



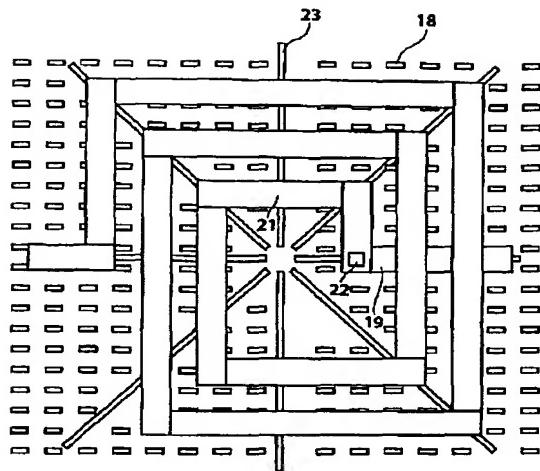
【図6】



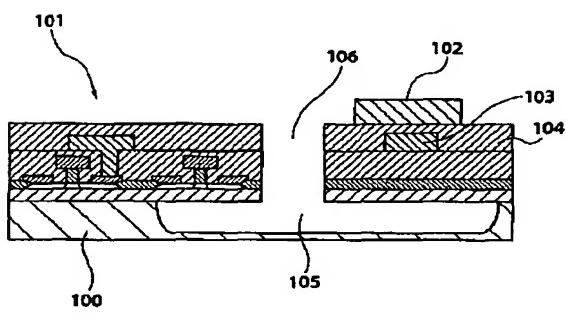
【図3】



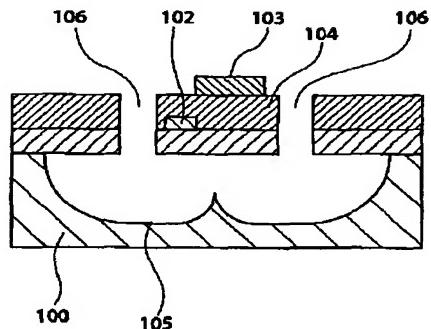
【図4】



【図5】



【図7】



【図8】

